

(19)日本国特許庁 (J P)

## (12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-307017

(P 2 0 0 0 - 3 0 7 0 1 7 A)

(43)公開日 平成12年11月2日(2000.11.2)

(51)Int. Cl.

H01L 23/02  
23/50

識別記号

F I

H01L 23/02  
23/50

テマコード (参考)

B 5F067  
K

審査請求 未請求 請求項の数27 O L (全21頁)

(21)出願番号 特願平11-372510

(22)出願日 平成11年12月28日(1999.12.28)

(31)優先権主張番号 特願平11-38124

(32)優先日 平成11年2月17日(1999.2.17)

(33)優先権主張国 日本 (J P)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 平島 利宣

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内

(72)発明者 岸本 宗久

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内

(74)代理人 100085637

弁理士 梶原 辰也

最終頁に続く

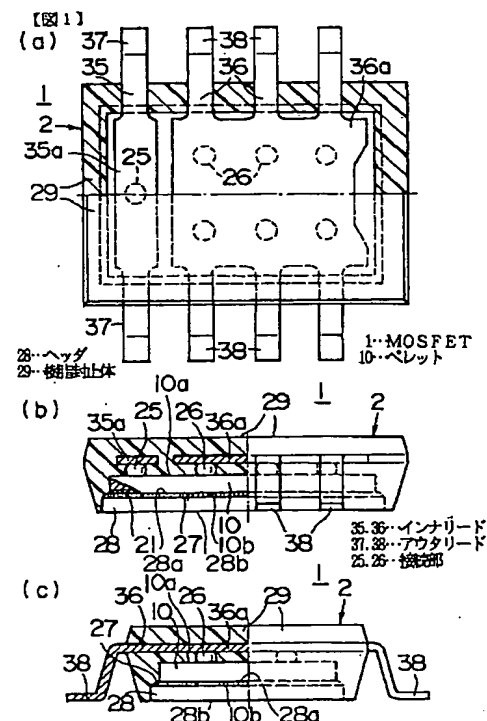
(54)【発明の名称】半導体装置およびその製造方法

(57)【要約】

【課題】 外部抵抗分を大幅に低減させる。

【解決手段】 MOSFET 1は、半導体ペレット10と、MOSFET要素を電気的に外部に引き出すゲート用、ソース用インナリード35、36と、各インナリードに接続されたアウトリード37、38と、放熱性能を高めるヘッダ28と、半導体ペレット、インナリード群、ヘッダの一部を樹脂封止した樹脂封止体29とを備え、半導体ペレット10にはインナリード35、36がバンプから形成された接続部25、26で機械的かつ電気的に接続され、半導体ペレット10の反対側には樹脂封止体29から露出したヘッダ28がドレイン用接続部27で接続され、アウトリード37、38がガル・ウイング形状に屈曲されている。

【効果】 ガル・ウイング形状のアウトリードと樹脂封止体裏面のヘッダを実装基板に表面実装することで外部抵抗分を低減できかつ放熱性能を向上できる。



## 【特許請求の範囲】

【請求項 1】 主面に電界効果トランジスタ要素が作り込まれて小形の平板形状に形成された半導体ペレットと、前記電界効果トランジスタ要素を電氣的に外部に引き出すための複数のインナリードと、前記インナリードにそれぞれ接続された各アウトリードと、放熱性能を高めるためのヘッダと、前記インナリード群および前記ヘッダの一部を樹脂封止した樹脂封止体とを有し、前記半導体ペレットの前記主面には前記インナリードのそれぞれが突起状端子から形成された接続部によって機械的および電氣的に接続され、前記半導体ペレットの前記主面と反対側の面には前記樹脂封止体から露出した前記ヘッダが機械的および電氣的に接続されており、前記アウトリードのそれぞれがガル・ウイング形状に屈曲されていることを特徴とする半導体装置。

【請求項 2】 請求の範囲第 1 項記載の半導体装置であって、前記半導体ペレットの前記主面と反対側の面にはドレイン用電極パッドが形成され、このドレイン用電極パッドが前記ヘッダに機械的および電氣的に接続されていることを特徴とする半導体装置。

【請求項 3】 請求の範囲第 1 項記載の半導体装置であって、前記半導体ペレットの前記主面と反対側の面にはソース用電極パッドが形成され、このソース用電極パッドが前記ヘッダに機械的および電氣的に接続されていることを特徴とする半導体装置。

【請求項 4】 請求の範囲第 1 項記載の半導体装置であって、前記複数のインナリードのうちソース用インナリードは、複数の前記突起状端子から形成された前記接続部によって前記半導体ペレットのソース用電極パッドに機械的および電氣的に接続されていることを特徴とする半導体装置。

【請求項 5】 請求の範囲第 1 項記載の半導体装置であって、前記半導体ペレットの前記主面と反対側の面にはドレイン用電極パッドが形成されており、このドレイン用電極パッドが前記ヘッダに機械的および電氣的に接続され、前記複数のインナリードのうちソース用インナリードは、複数の前記突起状端子から形成された前記接続部によって前記半導体ペレットのソース用電極パッドに機械的および電氣的に接続されていることを特徴とする半導体装置。

【請求項 6】 請求の範囲第 1 項記載の半導体装置であって、前記複数のインナリードのうちドレイン用インナリードは、複数の突起状端子から形成された前記接続部によって前記半導体ペレットのドレイン用電極パッドに機械的および電氣的に接続されていることを特徴とする半導体装置。

【請求項 7】 請求の範囲第 1 項記載の半導体装置であって、前記半導体ペレットの前記主面と反対側の面にはソース用電極パッドが形成されており、このソース用電極パッドが前記ヘッダに機械的および電氣的に接続さ

れ、前記複数のインナリードのうちドレイン用インナリードは、複数の突起状端子から形成された前記接続部によって前記半導体ペレットのドレイン用電極パッドに機械的および電氣的に接続されていることを特徴とする半導体装置。

【請求項 8】 請求の範囲第 1 項記載の半導体装置であって、前記複数のインナリードのうちゲート用インナリードは、単数の突起状端子から形成された前記接続部によって前記半導体ペレットのゲート用電極パッドに機械的および電氣的に接続されていることを特徴とする半導体装置。

【請求項 9】 請求の範囲第 1 項記載の半導体装置であって、前記半導体ペレットの前記主面と反対側の面にはドレイン用電極パッドが形成されており、このドレイン用電極パッドが前記ヘッダに機械的および電氣的に接続され、前記複数のインナリードのうちゲート用インナリードは、単数の突起状端子から形成された前記接続部によって前記半導体ペレットのゲート用電極パッドに機械的および電氣的に接続されていることを特徴とする半導体装置。

【請求項 1 0】 請求の範囲第 1 項記載の半導体装置であって、前記半導体ペレットの前記主面と対向して配置されたインナリード連結部に複数の前記アウトリードが接続されていることを特徴とする半導体装置。

【請求項 1 1】 請求の範囲第 1 項記載の半導体装置であって、前記アウトリード群が前記樹脂封止体の互いに対向する位置の一对の側面に配置されていることを特徴とする半導体装置。

【請求項 1 2】 主面に電界効果トランジスタが形成された半導体ペレットの表面電極に電氣的に接続された複数のインナリードと、前記半導体ペレットの前記表面電極と前記インナリードとを電氣的に接続する接続部と、前記半導体ペレットおよび前記インナリードを樹脂封止して形成された樹脂封止体と、前記インナリードに接続され、前記樹脂封止体の同一側面から並んで突出した複数のアウトリードと、前記半導体ペレットの前記主面と反対側の面に接合し、前記樹脂封止体の前記アウトリードの突出側の側面と反対側の側面に突出するヘッダ突出部を備えたヘッダとを有し、前記ヘッダの前記半導体ペレットとの接合面と反対側の面が前記樹脂封止体から露出し、前記アウトリードが屈曲されていることを特徴とする半導体装置。

【請求項 1 3】 請求の範囲第 1 2 項記載の半導体装置であって、前記複数のアウトリードのうち、ソース用アウトリードがゲート用アウトリードより幅広に形成されていることを特徴とする半導体装置。

【請求項 1 4】 請求の範囲第 1 2 項記載の半導体装置であって、前記複数のインナリードのうち、ソース用インナリードが、前記半導体ペレットの前記主面と対向して配置されたソース用のインナリード連結部から複数に

分割されて設けられていることを特徴とする半導体装置。

【請求項 15】 請求の範囲第 12 項記載の半導体装置であって、前記複数のインナリードのうち、ソース用インナリードが、前記半導体ペレットの前記主面と対向して配置されたソース用のインナリード連結部から複数に分割されて設けられ、前記分割による電氣的抵抗増加値を前記電界効果トランジスタのオン抵抗値より小さくすることを特徴とする半導体装置。

【請求項 16】 主面に電界効果トランジスタが形成された半導体ペレットの表面電極に電氣的に接続された複数のインナリードと、前記半導体ペレットの前記表面電極と前記インナリードとを電氣的に接続する接続部と、前記半導体ペレットおよび前記インナリードを樹脂封止して形成された樹脂封止体と、前記インナリードに接続され、前記樹脂封止体の同一側面から並んで突出した複数のアウトリードと、前記半導体ペレットの前記主面と反対側の面に接合し、前記樹脂封止体の前記アウトリードの突出側の側面と反対側の側面に突出するヘッダ突出部を備えたヘッダとを有し、前記ヘッダの前記半導体ペレットとの接合面と反対側の面が前記樹脂封止体から露出する露出面であり、前記アウトリードが屈曲され、前記ヘッダの前記露出面と前記アウトリードの被実装面とがほぼ同一の高さに設けられていることを特徴とする半導体装置。

【請求項 17】 請求の範囲第 16 項記載の半導体装置であって、前記複数のアウトリードのうち、両端部に配置された 2 つの前記アウトリードの外側側部間の距離と、前記ヘッダにおける前記ヘッダ突出部のアウトリード配列方向の幅とがほぼ同じ長さで形成されていることを特徴とする半導体装置。

【請求項 18】 請求の範囲第 16 項記載の半導体装置であって、前記ヘッダの外周に段差部が設けられていることを特徴とする半導体装置。

【請求項 19】 請求の範囲第 16 項記載の半導体装置であって、複数のソース用インナリードを支持するインナリード連結部が前記半導体ペレットの前記主面に対向して配置され、それぞれの前記インナリードの基端部が前記半導体ペレットの主面内側領域上に配置されていることを特徴とする半導体装置。

【請求項 20】 主面に電界効果トランジスタが作り込まれて小形の平板形状に形成された半導体ペレットを準備する工程と、複数のインナリードとこれらインナリードにそれぞれ接続された各アウトリードとが連結されているリードフレームを準備する工程と、導電性および熱伝導性の良好な材料を用いて平板形状に形成されたヘッダを準備する工程と、前記各インナリードを前記半導体ペレットにインナリード側または半導体ペレット側の突起端子によって形成された接続部により機械的および電氣的に接続する工程と、前記ヘッダに前記半導体ペ

ットの前記主面に対する反対側の面を機械的および電氣的に接続する工程と、前記半導体ペレット、前記インナリード群および前記ヘッダの一部を樹脂封止して樹脂封止体を形成する工程と、複数の前記アウトリードをガル・ウイング形状に屈曲する工程とを有することを特徴とする半導体装置製造方法。

【請求項 21】 請求の範囲第 20 項記載の半導体装置の製造方法であって、前記アウトリード群を前記樹脂封止体の互いに対向する位置の一对の側面に配置し、前記樹脂封止体を形成する樹脂封止工程に際に、前記樹脂封止体の形状に対応した形状を成すキャビティーに前記半導体ペレットを配置して前記アウトリード群を金型の合わせ面によって両持ちして樹脂封止することを特徴とする半導体装置の製造方法。

【請求項 22】 主面に電界効果トランジスタが形成された半導体ペレットを準備する工程と、複数のインナリードとこれらインナリードにそれぞれ電氣的に接続された複数のアウトリードとが連結されてなるリードフレームを準備する工程と、平板形状に形成されたヘッダを準備する工程と、前記インナリードと前記半導体ペレットの表面電極とをインナリード側または半導体ペレット側の突起端子によって形成された接続部を介して電氣的に接続する工程と、前記ヘッダと前記半導体ペレットの前記主面に対する反対側の面とを接合する工程と、前記半導体ペレット、前記インナリード群および前記ヘッダの一部を樹脂封止して前記ヘッダの前記半導体ペレットとの接合面と反対側の面を露出させ、前記アウトリードの突出方向と反対の方向にヘッダ突出部を突出させて樹脂封止体を形成する工程と、複数の前記アウトリードを屈曲する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 23】 請求の範囲第 22 項記載の半導体装置の製造方法であって、前記リードフレームとして、単一の半導体装置用領域が複数連なって設けられた多連のリードフレームを用いることを特徴とする半導体装置の製造方法。

【請求項 24】 請求の範囲第 22 項記載の半導体装置の製造方法であって、前記リードフレームとして、単一の半導体装置用領域が、複数行×複数列のマトリクス配置で連なって設けられた前記リードフレームを用いることを特徴とする半導体装置の製造方法。

【請求項 25】 請求の範囲第 22 項記載の半導体装置の製造方法であって、前記ヘッダと前記半導体ペレットとを接合する際に、前記半導体装置 4 個分に対応する 4 つの前記ヘッダが 2 行×2 列配置で一体に設けられたヘッダフレームを用い、一体となった 4 つの前記ヘッダを 4 つの前記半導体ペレットに接合することを特徴とする半導体装置の製造方法。

【請求項 26】 請求の範囲第 22 項記載の半導体装置の製造方法であって、複数の前記インナリードの基端部

を前記半導体ペレットの主面内側領域上に配置して前記インナリードと前記半導体ペレットとを接合した後、前記半導体ペレットと前記ヘッダとをヘッダ接合材を用いて接合し、その後、隣あった前記インナリードの間隙から前記ヘッダ接合材の濡れ性を検査することを特徴とする半導体装置の製造方法。

【請求項27】 請求の範囲第22項記載の半導体装置の製造方法であって、前記ヘッダにおける前記アウトリードの配列方向と同方向の幅が前記半導体ペレットの同方向の長さより狭い前記ヘッダを用い、前記半導体ペレットと前記ヘッダとをヘッダ接合材を用いて接合した後、前記ヘッダの前記アウトリードの配列方向と同方向の側部から前記ヘッダ接合材の濡れ性を検査することを特徴とする半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、半導体製造技術に関し、特に、高出力のMOSFET（金属酸化膜半導体電界効果トランジスタ）に適用して有効な技術に関する。

##### 【0002】

【従来の技術】発明者が検討したところによれば、高出力で高発熱の半導体装置の一例として、MOSFETと呼ばれるトランジスタがあり、このMOSFETは、電池駆動装置の電源やスイッチ、自動車電装品、モータ駆動用制御装置等の電子機器や電気機器のあらゆる分野に使用されている。このような高出力で高発熱のMOSFETを述べてある例として、特開平8-64634号公報がある。このMOSFETは、電界効果トランジスタ（MOSFET要素）が形成され、かつ、小形の平板形状に形成された半導体ペレットと、この半導体ペレットの表面電極と電気的に接続され、かつ、MOSFET要素を電気的に外部に引き出すための複数のインナリードと、放熱性能を高めるためのヘッダと、半導体ペレット、インナリード群およびヘッダの一部を樹脂封止して形成された樹脂封止体とを備えており、半導体ペレットの回路形成面である主面には各インナリードが突起状端子を介して機械的かつ電気的に接続されているとともに、この半導体ペレットの主面と反対側の面である裏面にはヘッダが接合されている。

【0003】このMOSFETにおいては、各インナリードが半導体ペレットの表面電極に突起状端子を介して電気的に接続されているため、ボンディングワイヤによる電気的接続に比べて外部抵抗分を低減させることができる。また、ヘッダはインナリード群とは別体になっているため、インナリードの材質に無関係に放熱性能の良好な材質を用いてヘッダを形成することができ、それによってヘッダの放熱性能を高めることができる。

##### 【0004】

【発明が解決しようとする課題】ところで、前記MOS

FETにおいては、ボンディングワイヤの電気抵抗分および半導体ペレットのアルミニウム配線の電気抵抗分

（以下、外部抵抗分という。）と、半導体ペレット内部の抵抗分（以下、内部抵抗分という。）との合計がMOSFET全体のオン抵抗になる。ここで、内部抵抗分が大きい段階においては外部抵抗分が問題になることは殆どなかった。ところが、技術革新が進展し、内部抵抗分が小さくなるように改善されて外部抵抗分の大きさが全体の50%程度を越える段階になると、外部抵抗分を無視することができない状況になる。

【0005】前記MOSFETにおいては各インナリードが半導体ペレットの表面電極に突起状端子を介して電気的に接続されているため、ボンディングワイヤによる電気的接続に比べて外部抵抗分を低減させることができるが、インナリードのそれぞれに接続されたアウトリードが長くなるため、その分、外部抵抗分の低減効果が減少することが問題とされる。

【0006】本発明の目的は、外部抵抗分を大幅に低減させることができる半導体装置およびその製造方法を提供することにある。

【0007】本発明のその他の目的は、低熱抵抗化および実装高さの低減化を図る半導体装置およびその製造方法を提供することにある。

【0008】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

##### 【0009】

【課題を解決するための手段】本発明の半導体装置は、主面に電界効果トランジスタ要素が作り込まれて小形の平板形状に形成された半導体ペレットと、前記電界効果トランジスタ要素を電気的に外部に引き出すための複数のインナリードと、前記インナリードにそれぞれ接続された各アウトリードと、放熱性能を高めるためのヘッダと、前記インナリード群および前記ヘッダの一部を樹脂封止した樹脂封止体とを有し、前記半導体ペレットの前記主面には前記インナリードのそれぞれが突起状端子から形成された接続部によって機械的および電気的に接続され、前記半導体ペレットの前記主面と反対側の面には前記樹脂封止体から露出した前記ヘッダが機械的および電気的に接続されており、前記アウトリードのそれぞれがガル・ウイング形状に屈曲されているものである。

【0010】これにより、各インナリードを支持するインナリード連結部が各接続部によって半導体ペレットに直接的に接続されているため、ボンディングワイヤによる電気的接続に比べて外部抵抗分を低減することができる。また、ガル・ウイング状に形成されたアウトリードと、半導体ペレットに機械的かつ電気的に接続されたヘッダとをプリント配線基板上に表面実装することができるため、外部抵抗分をさらに低減することができる。

【0011】なお、ヘッダはインナリード群とは別体に

7  
なっているため、インナリードの材質に無関係に放熱性能の良好な材質を用いてヘッダを形成することにより、ヘッダの放熱性能を高めることができる。さらに、ヘッダをプリント配線基板に表面実装することにより、半導体ペレットからの熱を熱伝導によってプリント配線基板に効果的に放出することができ、その結果、放熱性能をより一層高めることができる。

【0012】また、本発明の半導体装置は、主面に電界効果トランジスタが形成された半導体ペレットの表面電極に電気的に接続された複数のインナリードと、前記半導体ペレットの前記表面電極と前記インナリードとを電気的に接続する接続部と、前記半導体ペレットおよび前記インナリードを樹脂封止して形成された樹脂封止体と、前記インナリードに接続され、前記樹脂封止体の同一側面から並んで突出した複数のアウトリードと、前記半導体ペレットの前記主面と反対側の面に接合し、前記樹脂封止体の前記アウトリードの突出側の側面と反対側の側面に突出するヘッダ突出部を備えたヘッダとを有し、前記ヘッダの前記半導体ペレットとの接合面と反対側の面が前記樹脂封止体から露出し、前記アウトリードが屈曲されているものである。

【0013】これにより、ヘッダにヘッダ突出部が設けられたため、ヘッダの面積を大幅に増加させることができ、したがって、半導体ペレットから発生する熱をヘッダ突出部を有したヘッダから大幅に逃がすことが可能になる。その結果、半導体装置の低熱抵抗化をさらに図ることができる。

【0014】また、本発明の半導体装置は、主面に電界効果トランジスタが形成された半導体ペレットの表面電極に電気的に接続された複数のインナリードと、前記半導体ペレットの前記表面電極と前記インナリードとを電気的に接続する接続部と、前記半導体ペレットおよび前記インナリードを樹脂封止して形成された樹脂封止体と、前記インナリードに接続され、前記樹脂封止体の同一側面から並んで突出した複数のアウトリードと、前記半導体ペレットの前記主面と反対側の面に接合し、前記樹脂封止体の前記アウトリードの突出側の側面と反対側の側面に突出するヘッダ突出部を備えたヘッダとを有し、前記ヘッダの前記半導体ペレットとの接合面と反対側の面が前記樹脂封止体から露出する露出面であり、前記アウトリードが屈曲され、前記ヘッダの前記露出面と前記アウトリードの被実装面とがほぼ同一の高さに設けられているものである。

【0015】また、本発明の半導体装置の製造方法は、主面に電界効果トランジスタが作り込まれて小形の平板形状に形成された半導体ペレットを準備する工程と、複数のインナリードとこれらインナリードにそれぞれ接続された各アウトリードとが連結されているリードフレームを準備する工程と、導電性および熱伝導性の良好な材料を用いて平板形状に形成されたヘッダを準備する工程

と、前記各インナリードを前記半導体ペレットにインナリード側または半導体ペレット側の突起状端子によって形成された接続部により機械的および電気的に接続する工程と、前記ヘッダに前記半導体ペレットの前記主面に対する反対側の面を機械的および電気的に接続する工程と、前記半導体ペレット、前記インナリード群および前記ヘッダの一部を樹脂封止して樹脂封止体を成形する工程と、複数の前記アウトリードをガル・ウイング形状に屈曲する工程とを有するものである。

【0016】さらに、本発明の半導体装置の製造方法は、主面に電界効果トランジスタが形成された半導体ペレットを準備する工程と、複数のインナリードとこれらインナリードにそれぞれ電気的に接続された複数のアウトリードとが連結されてなるリードフレームを準備する工程と、平板形状に形成されたヘッダを準備する工程と、前記インナリードと前記半導体ペレットの表面電極とをインナリード側または半導体ペレット側の突起状端子によって形成された接続部を介して電気的に接続する工程と、前記ヘッダと前記半導体ペレットの前記主面に対する反対側の面とを接合する工程と、前記半導体ペレット、前記インナリード群および前記ヘッダの一部を樹脂封止して前記ヘッダの前記半導体ペレットとの接合面と反対側の面を露出させ、前記アウトリードの突出方向と反対の方向にヘッダ突出部を突出させて樹脂封止体を形成する工程と、複数の前記アウトリードを屈曲する工程とを有するものである。

#### 【0017】

【発明の実施の形態】以下の実施の形態では特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。さらに、以下の実施の形態では便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明などの関係にある。また、以下の実施の形態において、要素の数など（個数、数値、量、範囲などを含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合などを除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよいものとする。

【0018】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0019】本発明の実施の形態1を、図1のMOSFETの構造を示す図、図2～図8のMOSFETの製造方法を示す図を用いて説明する。

【0020】本実施の形態1の半導体装置は、MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) と呼ばれる電界効果トランジスタであり、前記M

OSFET1は、高出力で、かつ高発熱のパワーMOSトランジスタとも呼ばれるものである。

【0021】図1に示すMOSFET1の概略構成について説明する。MOSFET1は、主面10aに電界効果トランジスタが作り込まれて小形の平板形状に形成された半導体ペレット10と、前記電界効果トランジスタ要素を電氣的に外部に引き出すための複数のインナリード35、36と、2つのインナリード35を支持するゲート用接続部片35a（インナリード連結部）と、ゲート用接続部片35aと半導体ペレット10とを電氣的に接続する突起状端子（バンプ）から形成されたゲート用接続部（接続部）25と、6つのインナリード36を支持するソース用接続部片36a（インナリード連結部）と、ソース用接続部片36aと半導体ペレット10とを電氣的に接続する突起状端子（バンプ）から形成されたソース用接続部（接続部）26と、インナリード35、36にそれぞれ接続された各アウトリード37、38と、放熱性能を高めるためのヘッダ28と、前記インナリード群およびヘッダ28の一部を樹脂封止した樹脂封止体29とからなる。

【0022】したがって、本実施の形態1のMOSFET1では、半導体ペレット10の主面10aには、インナリード35、36がそれぞれゲート用接続部片35a、ソース用接続部片36aを介してバンプから形成されたゲート用接続部25、ソース用接続部26によって機械的および電氣的に接続されている。

【0023】さらに、半導体ペレット10の主面10aと反対側の面（以降、この面を裏面10bと呼ぶ）には樹脂封止体29から露出するヘッダ28が機械的および電氣的に接続され、一方、アウトリード37、38のそれぞれガル・ウイング形状に屈曲されている。

【0024】なお、樹脂封止体29の内部において、半導体ペレット10の表面電極であるゲート用電極パッド19はゲート用のインナリード35にゲート用接続部25によって、半導体ペレット10の表面電極であるソース用電極パッド20はソース用のインナリード36にソース用接続部26によって、半導体ペレット10の裏面10b（下面）に形成されたドレイン用電極パッド21はヘッダ28にドレイン用接続部27によってそれぞれ機械的かつ電氣的に接続されている。さらに、ヘッダ28の下面すなわち半導体ペレット10との接合面28aに対する反対側の面は、樹脂封止体29の下面において露出する露出面28bである

【0025】ここで、本実施の形態1における本発明に係るMOSFETは、以下に述べるような製造方法によって製造されている。

【0026】以下、実施の形態1の半導体装置であるMOSFETの製造方法を説明する。この説明によって前記MOSFETについての構成の詳細が明らかにされる。

【0027】このMOSFETの製造方法においては、図2に示されている半導体ペレット10、図3に示されている多連リードフレーム30および図5に示されているヘッダ28が、半導体ペレット準備工程、リードフレーム準備工程およびヘッダ準備工程においてそれぞれ準備される。

【0028】図2に示されている半導体ペレット10は、MOSFET1の製造工程の所謂前工程においてウエハ状態にてMOSFET要素を適宜作り込んだ後に、小さい正方形の薄板形状に分断（ダイシング）することにより製造したものである。この半導体ペレット10はサブストレータ11を備えており、サブストレータ11の上にはポリシリコンによってゲート12が下敷きシリコン酸化膜13を介して形成されている。サブストレータ11におけるゲート12の外側に対応するサブストレータ11の内部には半導体拡散層部としてのソース14が形成されており、サブストレータ11の下部にはドレイン15が形成されている。

【0029】サブストレータ11の上にはCVD酸化膜等からなる絶縁膜16がゲート12およびソース14を被覆するように形成されており、この絶縁膜16におけるゲート12に対向する位置にはゲート用コンタクトホール17が一個、ゲート12に貫通するように開設されている。絶縁膜16におけるソース14に対向する領域にはソース用コンタクトホール18が複数個、ゲート用コンタクトホール17の片脇においてソース14にそれぞれ貫通するように開設されている。

【0030】さらに、ゲート用コンタクトホール17の内部にはゲート用電極パッド19が形成され、各ソース用コンタクトホール18の内部にはソース用電極パッド20がそれぞれ形成されている。これら電極パッド19、20はアルミニウム系材料（アルミニウムまたはその合金）がスパッタリング蒸着等の手段により絶縁膜16の上に被着された後に、写真食刻法によってパターンニングされて形成されたものである。すなわち、絶縁膜16の上に被着されたアルミニウム系材料は各コンタクトホール17、18の内部にそれぞれ充填されるため、この充填部によってそれぞれ形成された電極パッド19、20はゲート12およびソース14とにそれぞれ電氣的に接続された状態になっている。他方、サブストレータ11の下面にはドレイン用電極パッド21がアルミニウム系材料を被着されて形成されている。

【0031】ゲート用電極パッド19および複数個のソース用電極パッド20の上には、リンシリケートガラスやポリイミド系樹脂等の絶縁材料からなる保護膜24が被着されており、保護膜24のゲート用電極パッド19およびソース用電極パッド20にそれぞれ対向する位置にはゲート用バンプ22および各ソース用バンプ23がそれぞれ突設されている。これらバンプ22、23は金（Au）線が使用されたスタッドバンプボンディング

(SBB)法によって形成されたものである。すなわち、ネイルヘッド(熱圧着)式ワイヤボンディング装置またはネイルヘッド超音波(熱圧着)式ワイヤボンディング装置によって、パッドの上にワイヤ先端のボールが圧着(第一ボンディング)された後に、ボールとワイヤとの接続部位においてワイヤが引き千切られることによって形成されたバンプである。

【0032】図3に示されている多連リードフレーム30は、鉄-ニッケル合金や燐青銅またはヘッダ28と同じ材質の銅合金等の導電性が良好な材料からなる薄板が用いられて、打抜きプレス加工またはエッチング加工等の手段により一体成形されている。この多連リードフレーム30には複数の単位リードフレーム31が一方向に1列に並設されている。但し、図3では、一つのMOSFET分(一単位分)のみを図示している。

【0033】単位リードフレーム31は位置決め孔32aが開設されている外枠32を一对備えており、両外枠32、32は所定の間隔で平行になるように配されて一連にそれぞれ延設されている。隣合う単位リードフレーム31、31間には一对のセクション枠33、33が両外枠32、32の間に互いに平行に配されて一体的に架設されている。これら外枠、セクション枠によって形成される略長方形の枠体(フレーム)内に単位リードフレーム31が構成されている。

【0034】単位リードフレーム31において、両セクション枠33、33の間には一对のダム部材34、34が互いに離間されてセクション枠33に直交するように一体的に架設されている。両ダム部材34、34の内側端辺における一端部にはゲート用インナリード35が一对、それぞれダム部材34と直角に一体的に突設されており、両ゲート用インナリード35、35間には矩形の平板形状のゲート用接続部片35aが一体的に形成されている。両ダム部材34、34の内側端辺における残りの部分にはソース用インナリード36が複数本(図示例では六本)、同数本(同じく三本)ずつ分配されて長さ方向に等ピッチをもってそれぞれ突設されており、対向するソース用インナリード36群間には長方形平板形状のソース用接続部片36aが一体的に形成されている。図示しないが、ゲート用接続部片35aとソース用接続部片36aの一面の表面には錫(Sn)や金(Au)等を用いたメッキ処理が、半導体ペレット10に突設されたバンプ22、23による機械的かつ電気的接続作用が適正に実施されるように被着されている。

【0035】両ダム部材34、34の外側端辺における両ゲート用インナリード35、35と対向する位置には、一对のゲート用アウトリード37、37が両ゲート用インナリード35、35の延長になるように突設されている。両ダム部材34、34の外側端辺における各ソース用インナリード36と対向する位置のそれぞれには、各ソース用アウトリード38が各ソース用インナリ

ード36の延長になるようにそれぞれ突設されている。そして、隣合うアウトリード同士および両セクション枠33、33の間には、後述する樹脂封止体29の成形に際して図6に示すレジン(モールド用樹脂)60の流れを堰き止めるためのダム34aがそれぞれ形成されている。

【0036】以上のように構成されたリードフレームには半導体ペレット10が、インナリードボンディング工程において図4に示されているようにボンディングされる。この際、多連リードフレーム30はボンディング装置(図示せず)によって一方向に歩進送りされる。そして、歩進送りされる多連リードフレーム30の途中に配設されているインナリードボンディングステージにおいて、半導体ペレット10は単位リードフレーム31に下方から対向されるとともに、各バンプ22および23が各インナリード35および36の接続部片35a、36aにそれぞれ整合されてボンディング工具により熱圧着されることにより、多連リードフレーム30に組み付けられる。

【0037】すなわち、各バンプ22、23が各接続部片35a、36aに加熱下で押接されると、バンプ22、23が各接続部片35a、36aに熱圧着によって接続する。そして、半導体ペレット10のゲート用電極パッド19および各ソース用電極パッド20と、ゲート用インナリード35のゲート用接続部片35aおよびソース用インナリード36のソース用接続部片36aとの間には、ゲート用接続部25およびソース用接続部26がそれぞれ形成される。したがって、ゲート用接続部25によってゲート用電極パッド19とゲート用インナリード35とが機械的かつ電気的に接続され、一方、ソース用接続部26によってソース用電極パッド20とソース用インナリード36とが機械的かつ電気的に接続された状態になるとともに、これらの機械的接続によって半導体ペレット10が単位リードフレーム31に機械的に接続された状態すなわち固定的に組み付けられた状態になる。

【0038】以上のようにして多連リードフレーム30にインナリードボンディングされた半導体ペレット10の反対側主面(以下、裏面10bという。)には、銅系材料(銅または銅合金)等の導電性および熱伝導性の良好な材料が用いられて図5に示されているように半導体ペレット10よりも若干大きめの長方形の平板形状に形成されたヘッダ28が機械的かつ電気的に接続される。すなわち、ヘッダ28の上面(半導体ペレット側の接合面28a)にAgペースト等の導電性および熱伝導性の良好な接着材が塗布された後に、半導体ペレット10の裏面10bが当接されて接着される。これにより、半導体ペレット10のドレイン用電極パッド21とヘッダ28とを機械的かつ電気的に接続するドレイン用接続部27が、この接着材層によって形成された状態になる。

【 0 0 3 9 】 以上のようにして組み立てられたヘッダ付き半導体ペレット 1 0 と多連リードフレーム 3 0 との組立体には、樹脂封止体成形工程においてエポキシ樹脂等の絶縁性樹脂からなる樹脂封止体 2 9 が、図 6 に示されているトランスファ成形装置 5 0 を使用されて各単位リードフレーム 3 1 について同時成形される。

【 0 0 4 0 】 図 6 に示されているトランスファ成形装置 5 0 は、シリンダ装置等（図示せず）によって互いに型締めされる一対の上型 5 1 と下型 5 2 とを備えており、上型 5 1 と下型 5 2 との合わせ面 6 1 には上型キャビティー凹部 5 3 a と、下型キャビティー凹部 5 3 b とが互いに協働してキャビティー 5 3 を形成するように複数組（一組のみが図示されている。）没設されている。

【 0 0 4 1 】 上型 5 1 の合わせ面 6 1 にはポット 5 4 が開設されており、ポット 5 4 にはシリンダ装置（図示せず）により進退されるプランジャ 5 5 が成形材料としてのモールド樹脂すなわちレジン 6 0 を送給し得るように挿入されている。下型 5 2 の合わせ面 6 1 にはカル 5 6 がポット 5 4 との対向位置に配されて没設されている。カル 5 6 にはレジン 6 0 をキャビティー 5 3 に注入するためのゲート 5 7 の一端部が接続されており、ゲート 5 7 の他端部は下型キャビティー凹部 5 3 b に接続されている。下型キャビティー凹部 5 3 b のゲート 5 7 と対向する対辺にはスルーゲート 5 8 が接続されており、スルーゲート 5 8 は隣接した下型キャビティー凹部 5 3 b の対向辺に接続されている。スルーゲート 5 8 は上流側のキャビティー 5 3 に充填されたレジン 6 0 を流通（スルー）させて下流側のキャビティー 5 3 に充填して行くように構成されている。下型 5 2 の合わせ面 6 1 には逃げ凹所 5 9 が単位リードフレーム 3 1 の厚みを逃げ得るように、多連リードフレーム 3 0 の外形よりも若干大きめの長方形で、その厚さと略等しい寸法の一定深さに没設されている。

【 0 0 4 2 】 以上のように構成されたトランスファ成形装置 5 0 による樹脂封止体 2 9 の成形作業に際して、前記構成にかかる組立体は下型 5 2 に没設された逃げ凹所 5 9 内に、半導体ペレット 1 0 が下型キャビティー凹部 5 3 b 内にそれぞれ収容されるように配されてセットされる。

【 0 0 4 3 】 続いて、上型 5 1 と下型 5 2 とが型締めされると、単位リードフレーム 3 1 における両セクション枠 3 3、3 3 および両ダム部材 3 4、3 4 が上型 5 1 と下型 5 2 との合わせ面 6 1 によって強く押さえられた状態になるため、図 6 に示されているように、ヘッダ 2 8 の下面（露出面 2 8 b）は下型キャビティー凹部 5 3 b の底面上に密着される。すなわち、両セクション枠 3 3、3 3 および両ダム部材 3 4、3 4 が押さえられることによって全周が保持された状態になるため、ヘッダ 2 8 の下面はインナリード 3 5、3 6 群の弾性力によって下型キャビティー凹部 5 3 b の底面に強く押接された状

態になる。

【 0 0 4 4 】 その後、ポット 5 4 からプランジャ 5 5 によってレジン 6 0 がゲート 5 7 およびスルーゲート 5 8 を通じて各キャビティー 5 3 に順次送給されて充填されて行く。この際、ヘッダ 2 8 の下面は下型キャビティー凹部 5 3 b の底面に密着された状態になっていることにより、レジン 6 0 がヘッダ 2 8 の下面に漏洩することが防止されるため、ヘッダ 2 8 の下面の外周縁に薄いレジンバリ（レジンフラッシュ）が発生するのを防止することができる。

【 0 0 4 5 】 充填後、レジン 6 0 が熱硬化されて樹脂封止体 2 9 が成形されると、上型 5 1 および下型 5 2 は型開きされるとともに、エジェクタ・ピン（図示せず）により樹脂封止体 2 9 が離型される。

【 0 0 4 6 】 図 7 は樹脂封止体成形後の多連リードフレーム 3 0 と樹脂封止体 2 9 との組立体を示している。この組立体の樹脂封止体 2 9 の内部には、半導体ペレット 1 0、インナリード 3 5、3 6 群と共に、半導体ペレット 1 0 の裏面 1 0 b に結合されたヘッダ 2 8 の一部（側面）も樹脂封止された状態になっている。この状態において、ヘッダ 2 8 はその半導体ペレット側の接合面 2 8 a と反対側の端面が樹脂封止体 2 9 の表面から露出した状態になっている。すなわち、ヘッダ 2 8 の半導体ペレット側の接合面 2 8 a と反対側には樹脂封止体 2 9 から露出した露出面 2 8 b が形成され、さらに、アウトリード 3 7、3 8 群は樹脂封止体 2 9 の長辺側の両側側面から直角に突出した状態になっている。

【 0 0 4 7 】 以上のようにして樹脂封止体 2 9 を成形された組立体は、半田メッキ処理が施された後に、リードフレーム切断成形工程において、外枠 3 2、セクション枠 3 3、ダム 3 4 a を切り落とされるとともに、アウトリード 3 7、3 8 がガル・ウイング形状に屈曲される。これにより、図 1 に示されている MOS FET 1 が製造されたことになる。

【 0 0 4 8 】 すなわち、図 1 に示されている MOS FET 1 のパッケージ 2 は、半導体ペレット 1 0 と複数本のインナリード 3 5、3 6 とヘッダ 2 8 の一部を樹脂封止した樹脂封止体 2 9 および複数本のアウトリード 3 7、3 8 を備えており、樹脂封止体 2 9 は長方形の平盤形状に形成されている。アウトリード 3 7、3 8 は樹脂封止体 2 9 の長辺側の二つの側面に等間隔に並べられてガル・ウイング形状に屈曲されている。樹脂封止体 2 9 の内部において、半導体ペレット 1 0 のゲート用電極パッド 1 9 はゲート用インナリード 3 5 にゲート用接続部 2 5 によって、半導体ペレット 1 0 のソース用電極パッド 2 0 はソース用インナリード 3 6 にソース用接続部 2 6 によって、半導体ペレット 1 0 の裏面 1 0 b に形成されたドレイン用電極パッド 2 1 はヘッダ 2 8 にドレイン用接続部 2 7 によってそれぞれ機械的かつ電氣的に接続されている。ヘッダ 2 8 の下面は樹脂封止体 2 9 の下面にお



いて露出した状態で露出面 2 8 b となっており、ヘッダ 2 8 のこの露出面 2 8 b の外周縁にはレジンばりは発生していない。

【 0 0 4 9 】 以上のように製造され構成された MOS F E T 1 は、プリント配線基板 3 に図 8 に示されているように表面実装される。すなわち、MOS F E T 1 のゲート用アウタリード 3 7 はプリント配線基板 3 の本体 4 に形成されたゲート用ランド 5 に、ソース用アウタリード 3 8 はソース用ランド 6 に、ドレイン用電極パッド 2 1 が接続されたヘッダ 2 8 はドレイン用ランド 7 にそれぞれ整合されてリフロー半田付けされる。このように MOS F E T 1 はプリント配線基板 3 に表面実装されるため、外部抵抗分は大幅に低減されることになる。また、ヘッダ 2 8 がプリント配線基板 3 のドレイン用ランド 7 に半田付けされるため、外部抵抗分が大幅に低減されるばかりでなく、半導体ペレット 1 0 の発熱が熱伝導によってプリント配線基板 3 に放出されることにより、放熱性能が大幅に向上される。

【 0 0 5 0 】 前記実施形態によれば、次の効果が得られる。

【 0 0 5 1 】 1) 各インナリード 3 5、3 6 を半導体ペレット 1 0 に各接続部 2 5、2 6 によって機械的かつ電気的に接続することにより、ボンディングワイヤによる電気的接続を廃止することができるため、ボンディングワイヤによる電気的接続に比べて外部抵抗分を低減することができる。その結果、MOS F E T 1 の性能を高めることができる。

【 0 0 5 2 】 2) また、ボンディングワイヤによる接続を廃止することにより、MOS F E T 1 のパッケージ 2 を小形軽量化することができるため、前記外部抵抗分を低減する効果とあいまって、MOS F E T 1 の性能を高めることができる。

【 0 0 5 3 】 3) ヘッダ 2 8 がインナリード群とは別体になっているため、インナリード 3 5、3 6 の材質に無関係に放熱性能の良好な材質を用いてヘッダ 2 8 を形成することにより、ヘッダ 2 8 の放熱性能を高めることができる。また、インナリード 3 5、3 6 はヘッダ 2 8 の材質に無関係にインナリード特性に最適の材質を選定することができるため、MOS F E T 1 の品質および信頼性をより一層高めることができる。

【 0 0 5 4 】 4) ソース用電極パッド 2 0 およびソース用インナリード 3 6 のソース用接続部 2 6 を複数個設けることにより、ソースに大電流を流すことができるため、MOS F E T 1 の性能をより一層高めることができる。

【 0 0 5 5 】 5) ガル・ウイング形状に形成したアウタリード 3 7、3 8 および半導体ペレット 1 0 を機械的かつ電気的に接続したヘッダ 2 8 をプリント配線基板 3 に表面実装することにより、外部抵抗分をさらに低減することができるとともに、ヘッダ 2 8 の放熱性能をさらに

向上することができる。

【 0 0 5 6 】 6) アウタリード 3 7、3 8 を樹脂封止体 2 9 の対向する二つの側面に分配して配置することにより、樹脂封止体 2 9 のトランスファ成形に際してアウタリード 3 7、3 8 を成型型（上型 5 1 と下型 5 2 ）の合わせ面 6 1 によって両持ちして樹脂モールドすることができ、これにより、ヘッダ 2 8 を成型型の底面に密着させることができるため、樹脂封止体 2 9 から露出したヘッダ 2 8 の露出面 2 8 b の外周縁にレジンばりが発生するのを防止することができる。

【 0 0 5 7 】 また、ヘッダ 2 8 が曲げ加工されることなく平板形状に形成され、かつ、ヘッダ 2 8 の露出面 2 8 b とアウタリード 3 7、3 8 の被実装面 3 7 a、3 8 a とがほぼ同一高さの面であることにより、MOS F E T 1 の実装高さを低くすることができる。これにより、高い出力で、かつ、高発熱の MOS F E T 1 においてその実装高さに制限がある場合などにおいても、実装高さを抑えることが可能になる。

【 0 0 5 8 】 次に、本発明の実施の形態 2 を、図 9 ～図 1 2 の MOS F E T の構造を示す図、図 1 3 ～図 2 2 の MOS F E T の製造方法を示す図、図 2 3 ～図 2 5 の MOS F E T による作用効果を説明する図、図 2 7 の比較例の MOS F E T のヘッダフレームとヘッダフレーム搭載図を用いて説明する。

【 0 0 5 9 】 なお、図 1 1 ( a )、図 1 2、図 2 3 および図 2 4 ( a ) のそれぞれの平面図では、同一の部材を同一のハッチングによって示している。

【 0 0 6 0 】 本実施の形態 2 の半導体装置である MOS F E T 7 0 は、実施の形態 1 の MOS F E T 1 と同様に、高出力かつ高発熱のパワー MOS トランジスタである。

【 0 0 6 1 】 なお、MOS F E T 7 0 は、樹脂封止体 2 9 の対向する二つの側面のうち、図 9 ( b ) に示すように、一方の側面からはガル・ウイング形状に屈曲された三つのソース用のアウタリード 3 8 と一つのゲート用のアウタリード 3 7 が突出し、かつ、この側面に対向する他方の側面からは、図 9 ( a ) に示すように平板形状の略四角形のヘッダ突出部 2 8 c が突出している。

【 0 0 6 2 】 すなわち、本実施の形態 2 の MOS F E T 7 0 の前記実施の形態 1 の MOS F E T 1 との外觀構造の差は、実施の形態 1 の MOS F E T 1 では樹脂封止体 2 9 の対向する両側面にガル・ウイング形状のアウタリード 3 7、3 8 を配置したのに対し、本実施の形態 2 の MOS F E T 7 0 では樹脂封止体 2 9 の片方の側面にはガル・ウイング形状のアウタリード 3 7、3 8 は配置せず、その代わりとして、図 1 0 ( a )、( b ) に示すように、前記片方の側面に平板形状のヘッダ突出部 2 8 c を配置したことである。

【 0 0 6 3 】 なお、MOS F E T 7 0 においても、ヘッダ 2 8 の下面すなわちヘッダ 2 8 の半導体ペレット 1 0

に接合する面と反対側の面には、図 10 (c) に示すような樹脂封止体 29 から露出する露出面 28b が形成されている。

【0064】続いて、本実施の形態 2 の MOSFET 70 の詳細構造について説明する。

【0065】図 9～図 12 に示すように、MOSFET 70 は主面 10a に電界効果トランジスタが形成された半導体ペレット 10 の図 2 に示すゲート用電極パッド 19 (表面電極) に電氣的に接続されたゲート用のインナリード 35 および図 2 に示すソース用電極パッド 20 (表面電極) に電氣的に接続されたソース用のインナリード 36 と、半導体ペレット 10 のゲート用電極パッド 19 とインナリード 35 を支持するゲート用接続部片 35a とを電氣的に接続するバンプからなる突起状端子であるゲート用接続部 25 と、半導体ペレット 10 のソース用電極パッド 20 とインナリード 36 を支持するソース用接続部片 36a とを電氣的に接続するバンプからなる突起状端子であるソース用接続部 26 と、半導体ペレット 10 およびインナリード 35、36 を樹脂封止して形成された樹脂封止体 29 と、インナリード 35 に接続され、かつ樹脂封止体 29 の一方の側面から突出したアウトリード 37 と、インナリード 36 に接続され、かつ樹脂封止体 29 の前記側面と同一側面からアウトリード 37 と並んで突出したアウトリード 38 と、半導体ペレット 10 の主面 10a と反対側の面 (裏面 10b) にヘッダ接合材である銀ペースト 39 (実施の形態 1 の MOSFET 1 では、ドレイン用接続部 27 のこと) を介して接合し、かつ、樹脂封止体 29 のアウトリード 37、38 の突出側の側面と反対側の側面 (他方の側面) に突出するヘッダ突出部 28c を備えたヘッダ 28 とからなる。

【0066】つまり、本実施の形態 2 の MOSFET 70 は、平板形状のヘッダ 28 にヘッダ突出部 28c が設けられているため、ヘッダ 28 の面積を大幅に増加させることができ、これにより、半導体ペレット 10 から発生する熱をヘッダ突出部 28c を有したヘッダ 28 から大幅に逃がすことが可能になる。その結果、MOSFET 70 の低熱抵抗化をさらに図ることができる。

【0067】なお、ヘッダ 28 の面積を大幅に増加させることができるため、電氣的抵抗値を下げることができ、これにより、前記低熱抵抗化の効果と合わせて MOSFET 70 の電氣的特性を向上できる。

【0068】また、インナリード 35、36 のうち、ソース用のインナリード 36 は、半導体ペレット 10 の主面 10a と対向して配置されたソース用の接続部片 36a (インナリード連結部) から三本に分割されて設けられている。つまり、図 11 (a) に示すように、それぞれのインナリード 35、36 は、それぞれゲート用接続部片 35a (インナリード連結部)、ソース用接続部片 36a (インナリード連結部) に連結され、かつ支持さ

れている。

【0069】これにより、モールド後、インナリード 36 に繋がったアウトリード 38 を切断・成形する際に、インナリード 36 が分割されているため、これらインナリード 36 を支持しているソース用接続部片 36a に掛かる応力を分散させて緩和させることができる。その結果、インナリード連結部であるソース用接続部片 36a から突起状端子であるソース用接続部 26 が剥がれて接続不良を引き起こすことを防げる。さらに、インナリード 36 が分割されて支持されていることにより、インナリード 36 と樹脂封止体 29 との接触面積が増え、これにより、パッケージ 2 の内部への吸湿もしにくくなり、その結果、MOSFET 70 の耐湿性を向上できる。

【0070】なお、ソース用のインナリード 36 が半導体ペレット 10 の主面 10a と対向して配置されたソース用のソース用接続部片 36a (インナリード連結部) から三つに分割されて設けられている場合であっても、前記分割による電氣的抵抗増加値は僅かであり、この電氣的抵抗増加値は前記電界効果トランジスタのオン抵抗値より小さいため、本実施の形態 2 の MOSFET 70 のようにアウトリード 38 を複数 (三本) に分割して配置できる。

【0071】また、MOSFET 70 はヘッダ 28 の半導体ペレット 10 との接合面 28a と反対側の面が樹脂封止体 29 から露出する露出面 28b であり、かつ、アウトリード 37、38 が屈曲されるとともに、ヘッダ 28 の露出面 28b とアウトリード 37、38 の被実装面 37a、38a とがほぼ同一の高さ (アウトリード厚さ以下) に設けられた面実装形のものである。したがって、MOSFET 70 をプリント配線基板 3 (図 8 参照) 等に実装する際には、アウトリード差し込み形の半導体装置とは異なり、MOSFET 70 を吸着保持等によって移し換えるだけであり、実装を容易にできる。

【0072】また、本実施の形態 2 の MOSFET 70 では複数のアウトリード 37、38 のうち、図 24 (a) に示すように、両端部に配置された二つのアウトリード 37、38 の外側側部間の距離 (T) と、ヘッダ 28 におけるヘッダ突出部 28c のアウトリード配列方向の幅 (U) とがほぼ同じ長さで形成されている。これは、前記プリント配線基板 3 に形成されている従来のフットパターン (基板端子) との共有化を図るものであり、これにより、MOSFET 70 をプリント配線基板 3 上に実装する際に、従来のフットパターンを変えることなく、そのまま実装することができる。

【0073】また、図 24 (a)、(b) に示すように、ヘッダ 28 およびヘッダ突出部 28c の外周の一部 (側面を含む少なくとも樹脂封止体 29 と接合する箇所) には、段差部 28f が設けられている。これにより、樹脂封止体 29 とヘッダ 28 との接合面積を増加させることができ、その結果、両者の密着性を向上でき

る。したがって、樹脂封止体 29 へのクラックの形成を防止でき、これにより、MOSFET 70 の品質の向上できる。

【0074】また、本実施の形態 2 の MOSFET 70 では、三本のソース用のインナリード 36 を支持するソース用接続部片 36a (インナリード連結部) が半導体ペレット 10 の主面 10a の上にこれに対向して配置され、かつ、それぞれのインナリード 35、36 の基端部 35b、36b が半導体ペレット 10 の主面 10a における内側領域上に配置されている。これは、MOSFET 70 の製造工程においてモールドを行う前の段階で、ヘッダ接合材である銀ペースト 39 の外観検査を行う際に、図 23 (a) に示すように、隣合ったインナリード間の隙間から銀ペースト 39 の有無を検査することを可能にするものである。

【0075】さらに、それぞれのインナリード 35、36 の基端部 35b、36b を半導体ペレット 10 の主面 10a における内側領域上に配置することにより、図 25 に示すようにアウトリード 37、38 の長さ (W) を長く形成することができる。これにより、アウトリード 37、38 の曲げ成形時のストレスを緩和することができるとともに、MOSFET 70 の耐湿テストなどにおける水分の半導体ペレット 10 までの侵入到達時間を長くすることができ、その結果、MOSFET 70 の吸湿性を向上できる。

【0076】本実施の形態 2 の半導体装置 (MOSFET 70) のその他の構造と、MOSFET 70 によって得られるその他の作用効果については、前記実施の形態 1 で説明したものと同様であるため、その重複説明は省略する。

【0077】次に、本実施の形態 2 の MOSFET 70 の製造方法を、図 13 に示す製造プロセスフロー図にしたがって説明する。

【0078】まず、それぞれの半導体ペレット領域に電界効果トランジスタが形成された半導体ウエハ (図示せず) を準備する。

【0079】続いて、図 13 のステップ S1 により、スタッドバンプ等のバンプ形成方法を用いて、ウエハ状態で各半導体ペレット 10 の図 2 に示すゲート用電極パッド 19、ソース用電極パッド 20 にそれぞれゲート用バンプ 22、ソース用バンプ 23 を形成する。なお、ゲート用バンプ 22 およびソース用バンプ 23 は、例えば、Au や半田等によって形成されるものである。

【0080】その後、ステップ S2 に示すダイシングを行って前記半導体ウエハを切断・分離し、これにより、図 14 に示すようなバンプ付け済みの個々の半導体ペレット 10 を取得する。

【0081】続いて、主面 10a に電界効果トランジスタが形成された半導体ペレット 10 を準備する。

【0082】また、複数のインナリード 35、36 とこ

れらインナリード 35、36 にそれぞれ電氣的に接続された複数のアウトリード 37、38 とが連結されてなるリードフレームを準備する。

【0083】なお、本実施の形態 2 で用いる前記リードフレームは、単一の半導体装置用領域である単位リードフレーム 31 が複数連なって設けられた多連リードフレーム 30 であり、さらに、本実施の形態 2 においては、前記多連リードフレーム 30 として、前記単一の半導体装置用領域が、図 16 に示すような 2 行×2 列のマトリクス配置による群を一つの纏まりとするマトリクスフレーム 40 の場合を説明する。つまり、図 16 に示すマトリクスフレーム 40 は、4 個分の MOSFET 70 を一つの群とするものである。ただし、マトリクスフレーム 40 における前記一つの群内のマトリクスの数は、2 行×2 列に限定されるものではなく、これ以外の数であってもよい。

【0084】なお、図 16 に示すマトリクスフレーム 40 では、四個分の MOSFET 70 を一つの群としたため、区画窓 40a の両側で半導体ペレット 10 の向きを変える必要があり、半導体ペレット 10 の向きを Q 点で点対称となるような配置にしている。

【0085】また、平板形状に形成されたヘッダ 28 を準備する。

【0086】本実施の形態 2 の MOSFET 70 の製造方法では、四個の MOSFET 70 を一つの群として製造するため、四個分の MOSFET 70 に対応する四つのヘッダ 28 が 2 行×2 列配置で一体に設けられた図 15 に示すようなヘッダフレーム 41 を用い、これにより、各ヘッダ 28 を半導体ペレット 10 に接合する際には、一体となった四つのヘッダ 28 を四つの半導体ペレット 10 のそれぞれと一緒に接合する (図 15 では、E 部に示すヘッダ 28 が一つの MOSFET 70 に使用されるヘッダ 28 である)。

【0087】さらに、一つのヘッダフレーム 41 には、ヘッダ付け時のヘッダ付け装置 (図示せず) のガイドとの位置決め用の丸孔 28d が四つ設けられ、そのうち、2 つの丸孔 28d がスリット 28e と連通している。

【0088】なお、MOSFET 70 の製造手順によれば、マトリクスフレーム 40 上に半導体ペレット 10 が存在しないとヘッダ 28 を配置することはできず、さらに、ヘッダ 28 を配置できないと、モールド工程におけるモールド装置の上型 51 および下型 52 の構造上レジン漏れが発生し、モールドのショット毎に上型 51 および下型 52 のクリーニングが必要になる。

【0089】したがって、単品構造のヘッダ 28 や二つのヘッダ 28 を一体とした構造等のものを用いて MOSFET 70 を製造するのは好ましくなく、本実施の形態 2 のように四つのヘッダ 28 を一体としたヘッダフレーム 41 を用いて MOSFET 70 を製造する方が好ましい。さらに、四つのヘッダ 28 を一体としたヘッダフレ

ーム 41 を用いることにより、単品構造のヘッダ 28 や二つのヘッダ 28 を一体とした構造のものを用いる場合と比べてスルーボットを向上できる。

【0090】また、ヘッダフレーム 41 を、図 27

(a) の比較例のヘッダフレーム 42 のように一列のに三つのヘッダ 28 を連結させた構造のフレームも考えられるが、この場合、半導体ペレットのサイズが小さくなると、ヘッダ 28 の重さにより、図 27 (b) に示すように、ヘッダ 28 が傾く可能性があるため、このような三つのヘッダ 28 を一列に配置したヘッダフレーム 42 も好ましくない。

【0091】その後、ステップ S3 に示すフリップチップにより、半導体ペレット 10 とマトリクスフレーム 40 とを接合するペレットボンディングを行う。

【0092】ここでは、図 17 (a)、(b) に示すように、四つの半導体ペレット 10 の裏面 10b をそれぞれ上方に向け、四つの半導体ペレット 10 をマトリクスフレーム 40 のそれぞれの半導体装置領域のゲート用接続部片 35a およびソース用接続部片 36a 上に配置し、熱圧着によってペレットボンディングを行う。

【0093】すなわち、インナリード 35 を支持するゲート用接続部片 35a と半導体ペレット 10 のゲート用電極パッド 19 (図 2 参照) とを、ゲート用電極パッド 19 に取り付けられたゲート用バンプ 22 (突起状端子) を熱圧着してゲート用接続部 25 によって接合し、これにより、ゲート用バンプ 22 およびゲート用接続部片 35a を介してゲート用電極パッド 19 とインナリード 35 とを電氣的に接続する。

【0094】同様に、インナリード 36 を支持するソース用接続部片 36a は半導体ペレット 10 のソース用電極パッド 20 (図 2 参照) とを、ソース用電極パッド 20 に取り付けられたソース用バンプ 23 (突起状端子) を熱圧着してソース用接続部 26 によって接合し、これにより、ソース用バンプ 23 およびソース用接続部片 36a を介してソース用電極パッド 20 とインナリード 36 とを電氣的に接続する。

【0095】なお、図 17 に示す状態は、熱圧着直前の構造を示すものであり、これを熱圧着すると図 17 に示すソース用バンプ 23 が図 18 (b) に示すソース用接続部 26 となる。

【0096】その際、ゲート用バンプ 22 およびソース用バンプ 23 は、それぞれインナリード 35、36 に取り付けられていてもよい。また、フリップチップ実装後の半導体ペレット 10 の主面 10a とゲート用接続部片 35a およびソース用接続部片 36a との位置関係は、図 17 (c) に示すものと同様になる。

【0097】つまり、本実施の形態 2 の MOSFET 70 では、3 本のソース用のインナリード 36 を支持するソース用接続部片 36a (インナリード連結部) が半導体ペレット 10 の主面 10a の上にこれに対向して配置

され、かつ、各インナリード 36 の基端部 36b が半導体ペレット 10 の主面 10a における内側領域上に配置されている。さらに、1 本のゲート用のインナリード 35 を支持するゲート用接続部片 35a も半導体ペレット 10 の主面 10a 上にソース用接続部片 36a と絶縁されてかつ並んで配置され、インナリード 35 の基端部 35b も半導体ペレット 10 の主面 10a における内側領域上に配置されている。

【0098】続いて、ヘッダ 28 の半導体ペレット 10 への取り付けであるヘッダ付けを行う (ステップ S4)。

【0099】ここで、図 18 (a)、(b) に示すように、まず、各半導体ペレット 10 の裏面 10b に、ヘッダ接合材である銀ペースト 39 を塗布する。続いて、図 19 (a)、(b) に示すように、4 つの半導体ペレット 10 の各裏面 10b にヘッダフレーム 41 の各ヘッダ 28 を載置する。さらに、半導体ペレット 10 を加圧するとともに、スクラブなどを行って、これにより、各ヘッダ 28 と各半導体ペレット 10 の裏面 10b とをそれぞれ銀ペースト 39 を介して接合する。

【0100】その後、この段階で、図 23 (a) に示すように、隣あったインナリード間の隙間から、およびソース用接続部片 36a のインナリード配置側と反対の辺側からヘッダ接合材である銀ペースト 39 の有無を外観検査し、これにより、銀ペースト 39 の濡れ性を検査する。これは、図 23 (a) に示すソース用接続部片 36a の幅寸法 S が、半導体ペレット 10 の前記幅 S と対応する幅より小さく形成されているため、銀ペースト 39 が半導体ペレット 10 よりはみ出ているかどうかを確認するものであり、はみ出ている場合に合格とするものである。

【0101】さらに、マトリクスフレーム 40 の表裏を反転させることにより、図 23 (b) に示すように、ヘッダ 28 のアウトリード配列方向と同方向の両側部から銀ペースト 39 を外観検査する。これにより、ヘッダ 28 の前記両側部から銀ペースト 39 を外観検査し、銀ペースト 39 が見える場合には、銀ペースト 39 の濡れ性を合格とする。これは、図 23 (b) に示すように、ヘッダ 28 において前記アウトリード配列方向と同方向の幅 (V) が半導体ペレット 10 の同方向の長さより狭く形成されていることにより、銀ペースト 39 がヘッダ 28 よりはみ出ているかどうかを確認するものである。

【0102】なお、ソース用接続部片 36a とゲート用接続部片 35a とを半導体ペレット 10 より小さくすることにより、MOSFET 70 のプリント配線基板 3 (図 8 参照) へのリフロー実装時などに半導体ペレット 10 にかかる応力を緩和できる。

【0103】その後、図 13 に示すステップ S5 のモールドを行う。ここでは、図 20 (a)、(b)、(c) に示すように、半導体ペレット 10、インナリード群お

よびヘッダ 2 8 を上型 5 1 および下型 5 2 のキャビティ 5 3 に配置し、この状態で型締めを行った後、キャビティ 5 3 にレジン 6 0 を注入して樹脂封止（モールド）する。

【0104】この際、ヘッダフレーム 4 1 がキャビティ 5 3 に対応して 2 × 2 配列であるため、フリップチップ実装後に脱落した半導体ペレット 1 0 があっても、キャビティ 5 3 からのレジン漏れの発生を防止できる。また、図 2 1 に示すように、ヘッダ 2 8 の露出面 2 8 b が上型 5 1 のキャビティ底面に密着した状態でレジン 10 注入が行われるため、レジン硬化後に、ヘッダ 2 8 の半導体ペレット 1 0 との接合面 2 8 a と反対側の面すなわち露出面 2 8 b を樹脂封止体 2 9 から露出させることができ、さらに、アウトリード 3 7、3 8 の突出方向と反対の方向にヘッダ突出部 2 8 c を突出させて樹脂封止体 2 9 を形成できる。

【0105】その後、図 2 2 (a) に示すように、複数のアウトリード 3 7、3 8 をマトリクスフレーム 4 0 から切断して屈曲する切断・成形を行う（ステップ S 6）。

【0106】これと同時に、一体化されていたヘッダフレーム 4 1 を 4 つのそれぞれの丸孔 2 8 d で切断し、スリット 2 8 e を介して 4 つのヘッダ 2 8 に分離する。また、この切断・成形工程では、アウトリード 3 7、3 8 を図 2 2 (b) に示すように、ガル・ウイング形状に屈曲する。

【0107】なお、半導体ペレット 1 0 の主面 1 0 a 上にソース用接続部片 3 6 a およびゲート用接続部片 3 5 a が配置され、これらに支持されたインナリード 3 5、3 6 のそれぞれの基端部 3 5 b、3 6 b も主面 1 0 a 上に配置されていることにより、アウトリード曲げ成形の際にバンパ接合部であるゲート用接続部 2 5 およびソース用接続部 2 6 に掛かる応力を低減できる。

【0108】さらに、図 2 5 に示す P 部のように、ゲート用接続部片 3 5 a およびソース用接続部片 3 6 a にそれぞれ細いリード 2 5 a、2 6 a が設けられていることにより、アウトリード切断時に細リード 2 5 a、2 6 a が伸びるため、前記バンパ接合部であるゲート用接続部 2 5 およびソース用接続部 2 6 に掛かる応力を緩和できる。

【0109】その結果、アウトリード切断・成形時に前記バンパ接合部にかかる曲げ応力を緩和できる。

【0110】これにより、MOSFET 7 0 の製造を終了する。なお、MOSFET 7 0 の製造工程において、ステップ S 3 のフリップチップからステップ S 6 の切断・成形までは、ヘッダ 2 8 の露出面 2 8 b 側を上方向に向けて工程間移動させる。

【0111】ここで、本実施の形態 2 の半導体装置（MOSFET 7 0）のその他の製造方法については、前記実施の形態 1 の MOSFET 1 の製造方法と同様であ

り、その重複説明は省略する。

【0112】さらに、本実施の形態 2 の MOSFET 1 の製造方法によって得られるその他の作用効果については、前記実施の形態 1 で説明したものと同様であるため、その重複説明は省略する。

【0113】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0114】例えば、前記実施の形態 1、2 では、ソース用のアウトリード 3 8 が複数に分離されてそれぞれがゲート用のアウトリード 3 7 とほぼ同様の幅で形成されている場合を説明したが、図 2 6 の変形例の MOSFET 8 0 のように、樹脂封止体 2 9 の両側に配置されるソース用のアウトリード 3 8 が一体となってゲート用のアウトリード 3 7 より幅広に形成されていてもよい。これにより、電気的抵抗値を低減（例えば、約 0.1 mΩ 程度）することができ、その結果、MOSFET 8 0 の電気的特性を向上できるとともに、放熱性も向上できる。

【0115】また、バンパ（ゲート用バンパ 2 2 やソース用バンパ 2 3）は半導体ペレット側に配設するに限らず、インナリード側に配設してもよい。その際、前記バンパは SSB 法によって形成するに限らず、メッキ法等によって形成してもよい。さらに、前記バンパは金によって形成するに限らず、半田等によって形成してもよい。

【0116】半導体ペレット 1 0 とヘッダ 2 8 とは、銀ペースト等の導電性接着材によって接続するに限らず、半田付けによって接続してもよいし、金-錫共晶層等によって接続してもよい。但し、半導体ペレット 1 0 のヘッダ 2 8 への導電性および放熱性を配慮して、導電性および熱伝導性の良好な材料を選定することが望ましい。

【0117】ヘッダ 2 8 にはドレイン用電極パッド 2 1 を接続するに限らず、ソース用電極パッド 2 0 を接続してもよい。

【0118】ヘッダ 2 8 は半導体ペレット 1 0 にインナリードボンディング後に接続するに限らず、インナリードボンディング前またはインナリードボンディングと同時に半導体ペレット 1 0 に接続してもよい。

【0119】ヘッダ 2 8 の形状、大きさ、構造等は、要求される放熱性能、半導体ペレット 1 0 の性能、大きさ、形状、構造等々の諸条件に対応して選定することが望ましい。

【0120】また、ヘッダ 2 8 を形成する材料としては銅系材料を使用するに限らず、アルミニウム系等の熱伝導性の良好な他の金属材料を使用することができる。また、本発明は、IGBT（Insulating Gate Bipolar Transistor）や、高出力のバイポーラトランジスタのような 3 端子のトランジスタ用パッケージにも適用できる。

【図面の簡単な説明】

【図 1】本発明の一実施形態である MOSFET を示しており、(a) は一部切断平面図、(b) は一部切断正面図、(c) は一部切断側面図である。

【図 2】本発明の一実施形態である MOSFET の製造方法に使用される半導体ペレットを示しており、(a) は平面図、(b) は (a) の b-b 線に沿う拡大断面図である。

【図 3】同じく多連リードフレームを示しており、(a) は一部省略平面図、(b) は正面断面図である。

【図 4】インナリードボンディング後を示しており、(a) は一部省略平面図、(b) は正面断面図である。

【図 5】ペレットボンディング後を示しており、(a) は一部省略平面図、(b) は正面断面図である。

【図 6】樹脂封止体成形工程を示しており、(a) は一部省略正面断面図、(b) は (a) の b-b 線に沿う断面図である。

【図 7】樹脂封止体成形後を示しており、(a) は一部省略平面図、(b) は正面断面図である。

【図 8】本発明の一実施形態である MOSFET の実装後を示しており、(a) は平面図、(b) は一部切断正面図である。

【図 9】本発明の実施の形態 2 の半導体装置である MOSFET の構造の一例を示す図であり、(a) はヘッダ突出部側から眺めた外観斜視図、(b) はアウトリード側から眺めた外観斜視図である。

【図 10】図 9 に示す MOSFET の構造を示す図であり、(a) は平面図、(b) は正面図、(c) は底面図である。

【図 11】図 9 に示す MOSFET の構造を示す図であり、(a) は樹脂封止体 (パッケージ) を透過してその内部構造を示す平面図、(b) は (a) の C-C 線に沿う断面図、(c) は (a) の D-D 線に沿う断面図である。

【図 12】図 9 に示す MOSFET の樹脂封止体 (パッケージ) を透過してその内部構造を示す底面図である。

【図 13】図 9 に示す MOSFET 製造工程の一例を示すプロセスフロー図である。

【図 14】図 9 に示す MOSFET に用いられる半導体ペレットの構造の一例を示す平面図である。

【図 15】図 9 に示す MOSFET の組み立てに用いられるヘッダフレームの構造の一例を示す平面図である。

【図 16】図 9 に示す MOSFET の組み立てに用いられるマトリクスフレームの構造の一例を示す部分平面図である。

【図 17】図 9 に示す MOSFET の製造工程におけるフリップチップ実装時の構造の一例を示す図であり、

(a) は部分平面図、(b) は (a) の F-F 線に沿う断面図、(c) は (a) の G 部をリード側から眺めた部分底面図である。

【図 18】図 9 に示す MOSFET の製造工程における

銀ペースト付け時の構造の一例を示す図であり、(a) は部分平面図、(b) は (a) の H-H 線に沿う断面図である。

【図 19】図 9 に示す MOSFET の製造工程におけるヘッダ付け時の構造の一例を示す図であり、(a) は部分平面図、(b) は (a) の I-I 線に沿う断面図である。

【図 20】図 9 に示す MOSFET の製造工程におけるモールド時の構造の一例を示す図であり、(a) は成形金型内の状態を成形金型を透過して示す部分平面図、(b) は成形金型を型締めした際の (a) の J-J 線に沿う部分断面図、(c) は成形金型を型締めした際の (a) の K-K 線に沿う部分断面図である。

【図 21】成形金型を型締めした際の図 20 (a) の L-L 線に沿う拡大部分断面図である。

【図 22】図 9 に示す MOSFET の製造工程における切断・成形時の構造の一例を示す図であり、(a) は部分平面図、(b) は (a) の M-M 線に沿う断面図である。

【図 23】(a)、(b) は図 9 に示す MOSFET の製造工程における銀ペースト塗布の検査方法の一例を示す部分平面図である。

【図 24】図 9 に示す MOSFET におけるヘッダの段差部の構造の一例を示す図であり、(a) は樹脂封止体を透過して示す平面図、(b) は (a) の N-N 線に沿う部分拡大断面図である。

【図 25】図 9 に示す MOSFET に用いられるインナリードの細リードの構造の一例を示す平面図である。

【図 26】本発明の図 9 MOSFET の変形例の構造を示す一部切断平面図である。

【図 27】本発明の半導体装置である MOSFET に対する比較例の MOSFET に用いられるヘッダフレームとそのヘッダ付け状態を示す図であり、(a) はヘッダフレームの平面図、(b) は (a) のヘッダフレームを用いてヘッダ付けを行った際の部分断面図である。

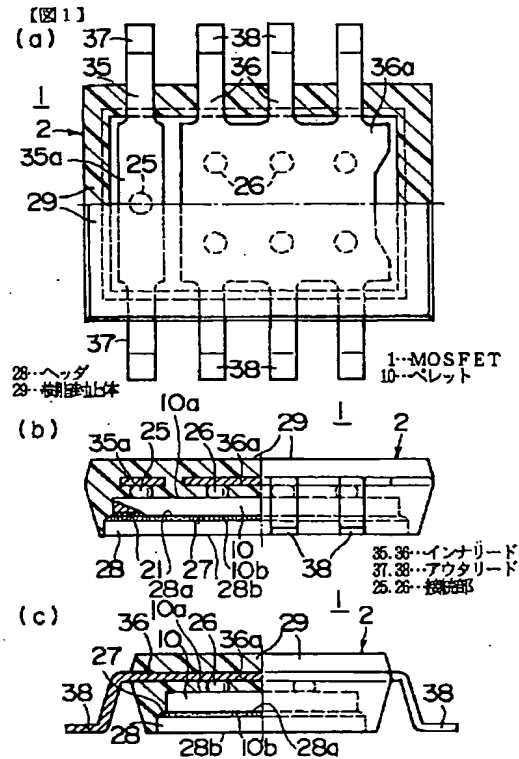
#### 【符号の説明】

1…MOSFET、2…パッケージ、3…プリント配線基板、4…本体、5…ゲート用ランド、6…ソース用ランド、7…ドレイン用ランド、10…半導体ペレット、10a…主面、10b…裏面、11…サブストレート、12…ゲート、13…シリコン酸化膜、14…ソース、15…ドレイン、16…絶縁膜、17…ゲート用コンタクトホール、18…ソース用コンタクトホール、19…ゲート用電極パッド、20…ソース用電極パッド、21…ドレイン用電極パッド、22…ゲート用バンプ、23…ソース用バンプ、24…保護膜、25…ゲート用接続部、26…ソース用接続部、25a、26a…細リード、27…ドレイン用接続部、28…ヘッダ、28a…接合面、28b…露出面、28c…ヘッダ突出部、28d…丸孔、28e…スリット、28f…段差部、29…

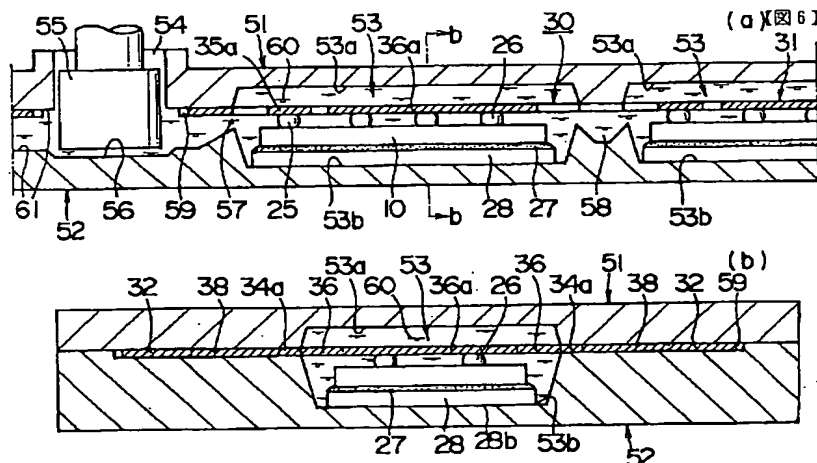
27

樹脂封止体、30…多連リードフレーム、31…単位リードフレーム、32…外枠、32a…位置決め孔、33…セクション枠、34…ダム部材、34a…ダム、35、36…インナリード、35a…ゲート用接続部片、36a…ソース用接続部片、35b、36b…基端部、37、38…アウトリード、37a、38a…被実装面、39…銀ペースト、40…マトリクスフレーム、4

【図1】



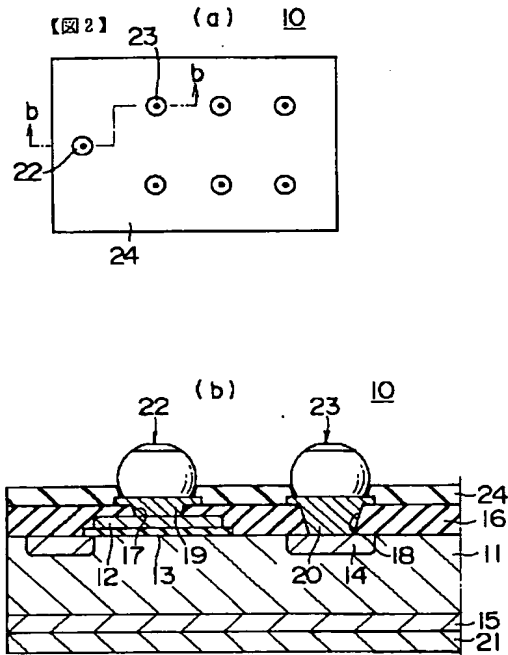
【図6】



28

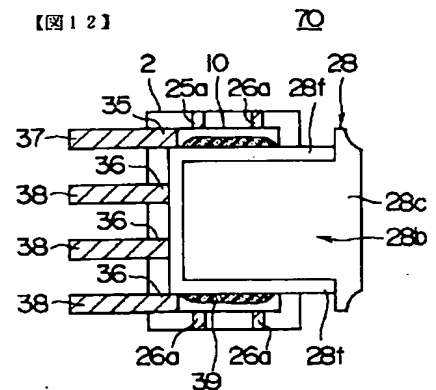
0a…区画窓、41…ヘッダフレーム、42…ヘッダフレーム、50…トランスファ成形装置、51…上型、52…下型、53…キャビティ、53a…上型キャビティ、53b…下型キャビティ、54…ポット、55…プランジャ、56…カル、57…ゲート、58…スルーゲート、59…凹所、60…レジン、61…合わせ面、70…MOSFET、80…MOSFET。

【図2】

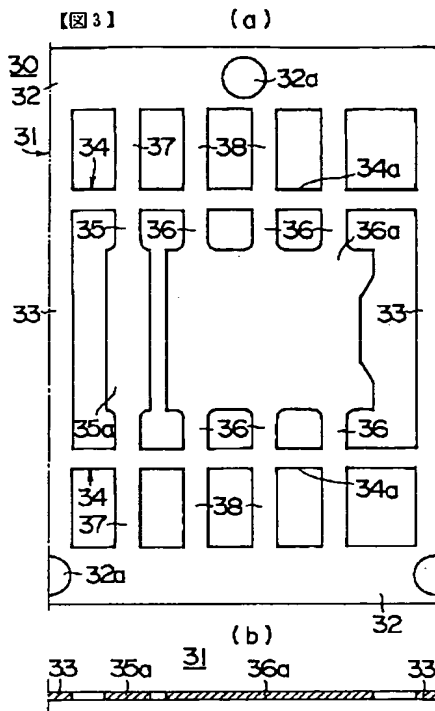


【図12】

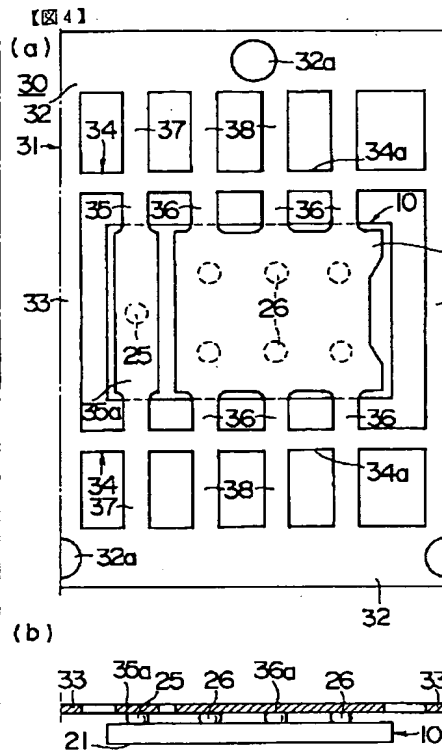
【図12】



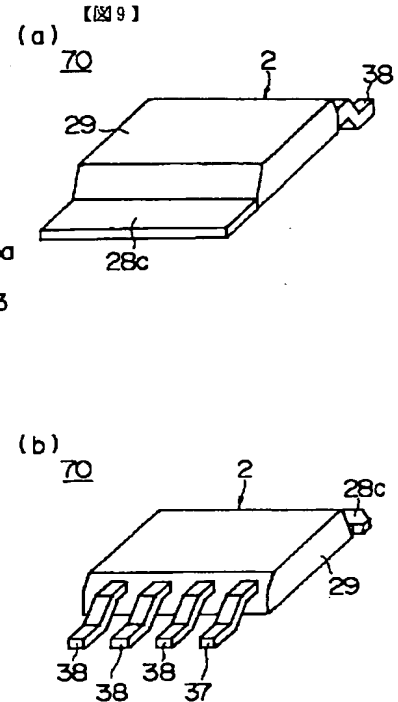
【図 3】



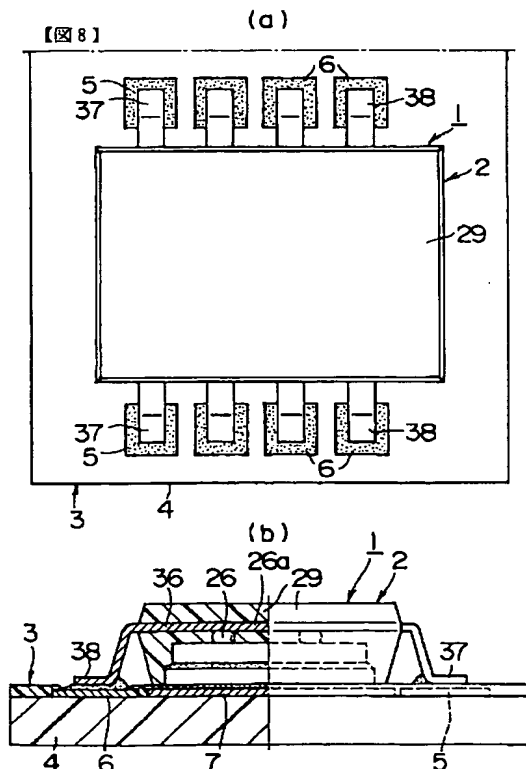
【図 4】



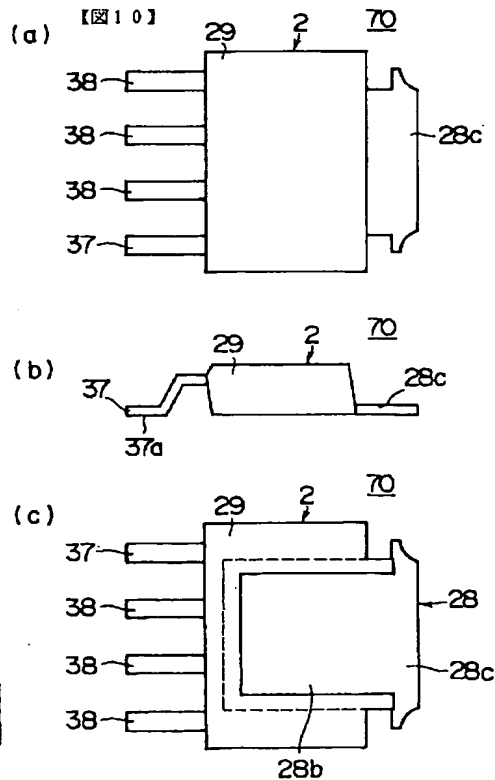
【図 9】



【図 8】

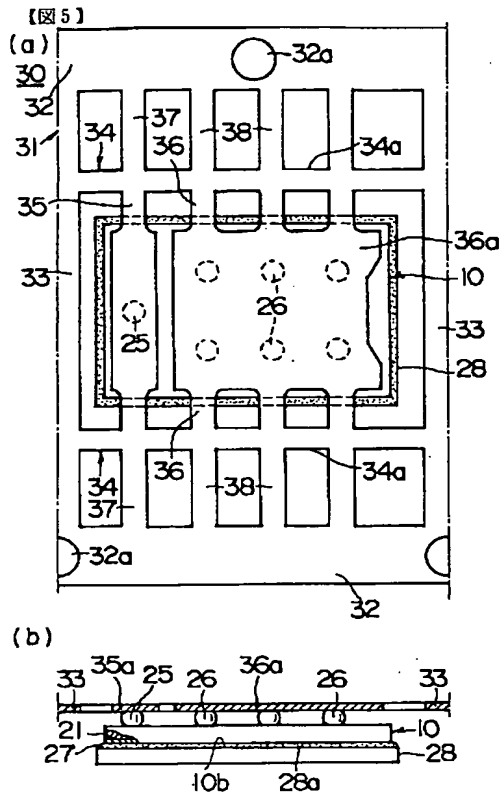


【図 10】

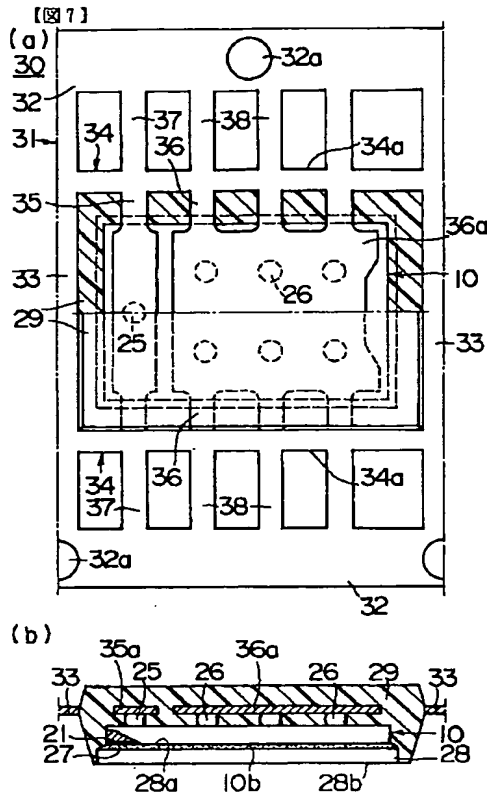




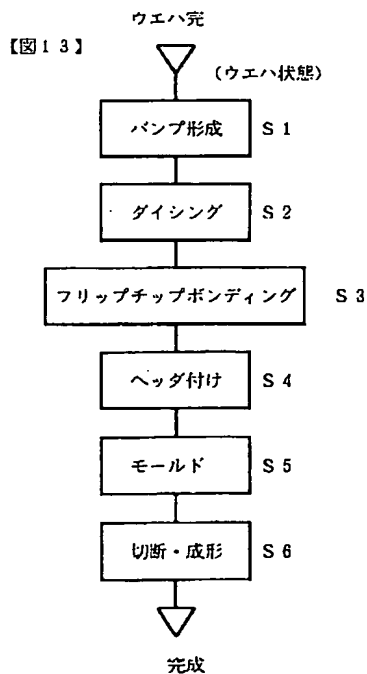
【図 5】



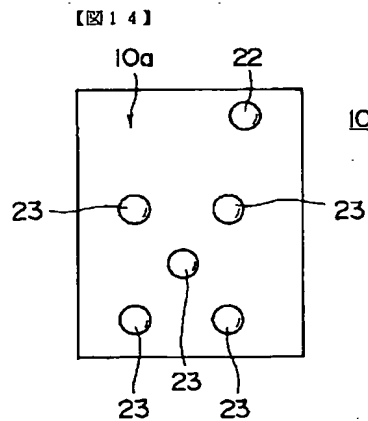
【図 7】



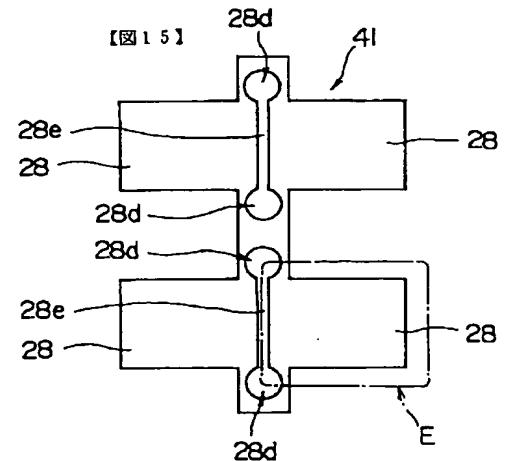
【図 13】



【図 14】

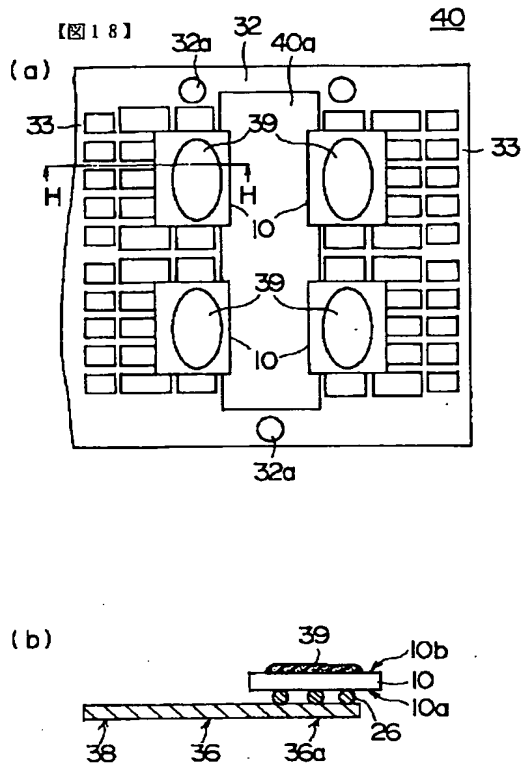


【図 15】

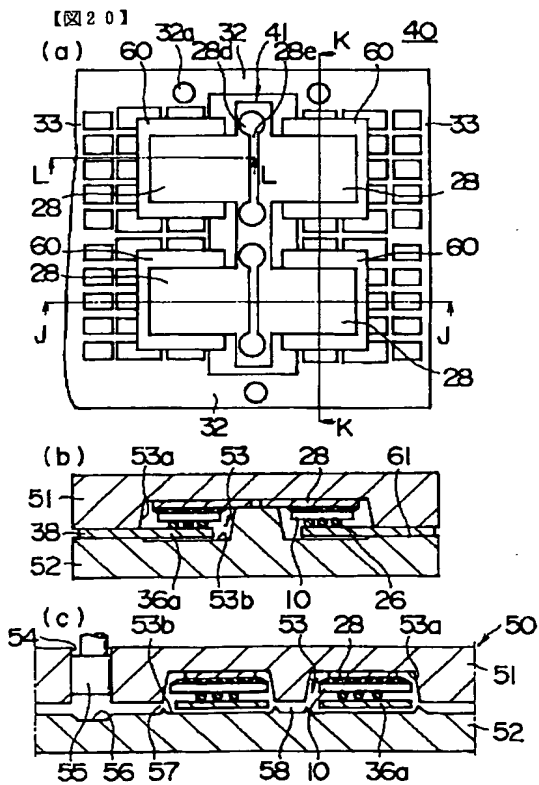




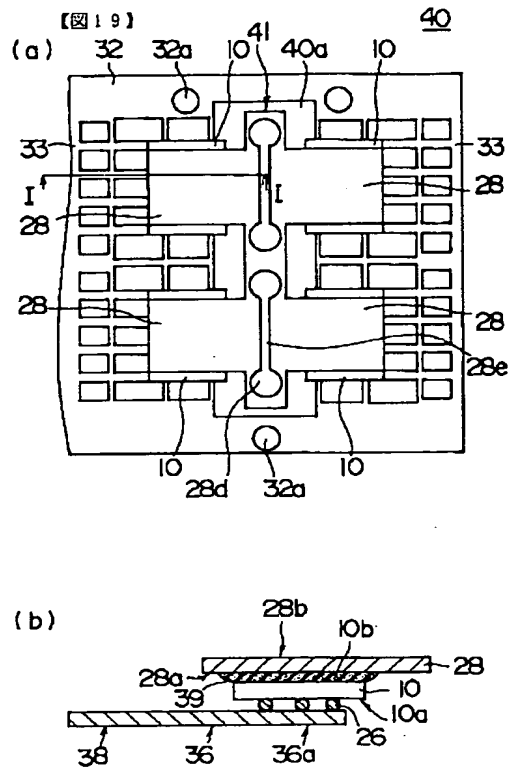
【図 18】



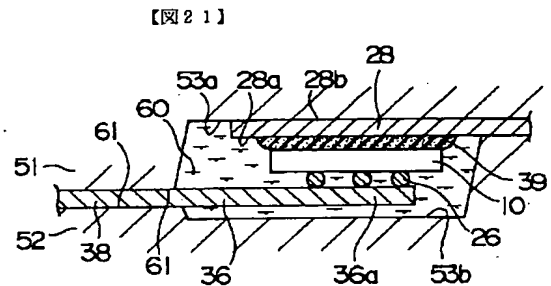
【图 20】



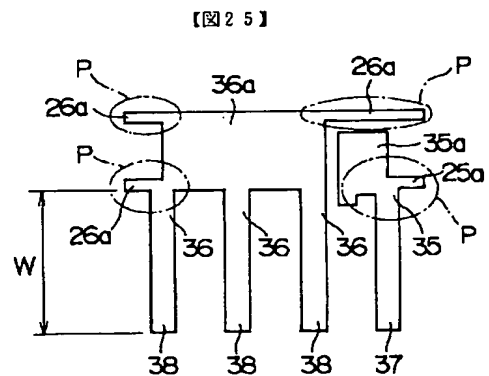
【図 19】



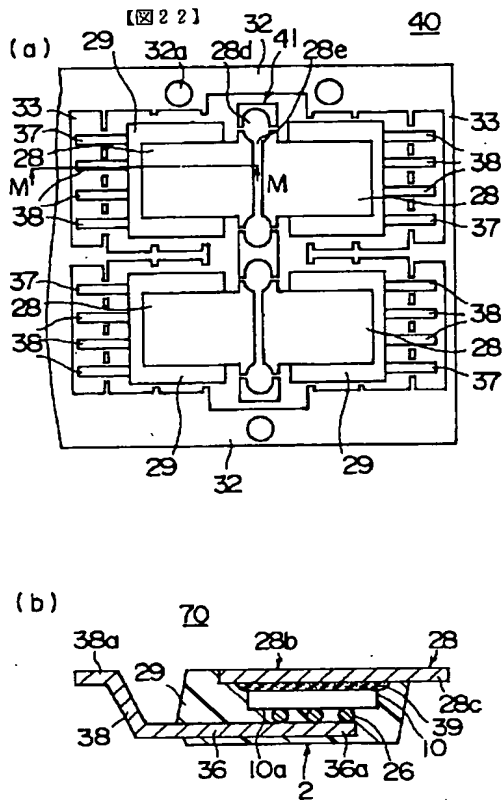
【图 2 1】



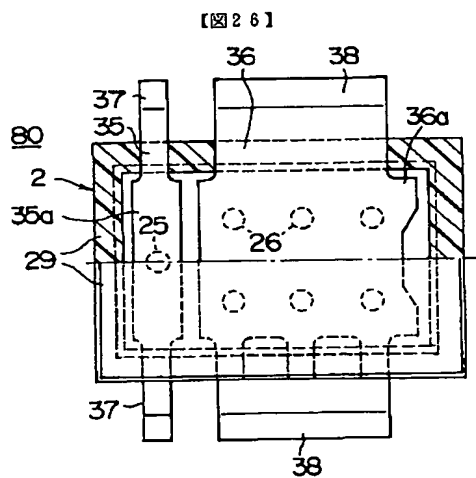
【図 2 5】



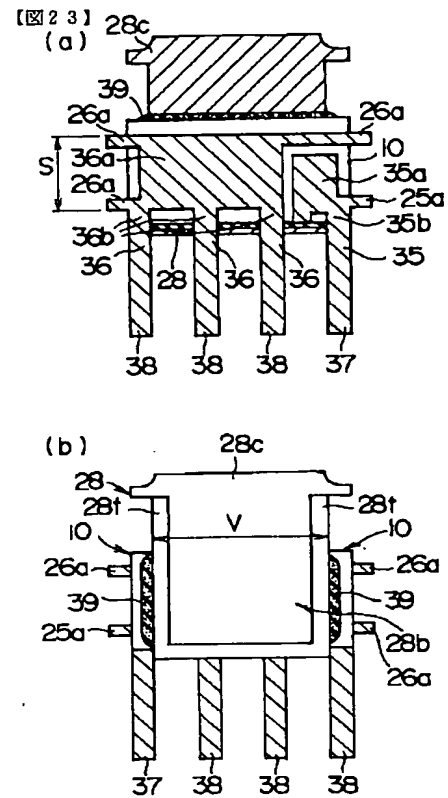
【図 2 2】



【図 2 6】



【図 2 3】



フロントページの続き

(72)発明者 波多 俊幸  
群馬県高崎市西横手町 1 番地 1 日立東部  
セミコンダクタ株式会社内

(72)発明者 ▲高▼橋 靖司  
東京都小平市上水本町五丁目20番 1 号 株  
式会社日立製作所半導体グループ内

F ターム(参考) 5F067 AA03 AB02 AB10 BA01 BA03  
BA06 BB01 CA03 CA04